

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-229784

(43) 公開日 平成9年(1997)9月5日

(51) IntCl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 L 1/14			G 0 1 L 1/14	A
G 0 1 D 5/24			G 0 1 P 15/125	
G 0 1 P 15/125			G 0 1 D 5/24	B

審査請求 未請求 請求項の数 8 F D (全 17 頁)

(21) 出願番号 特願平8-56697

(22) 出願日 平成8年(1996)2月20日

(71) 出願人 390013343

株式会社ワコー

埼玉県上尾市菅谷4丁目73番地

(72) 発明者 岡田 和廣

埼玉県上尾市菅谷4丁目73番地

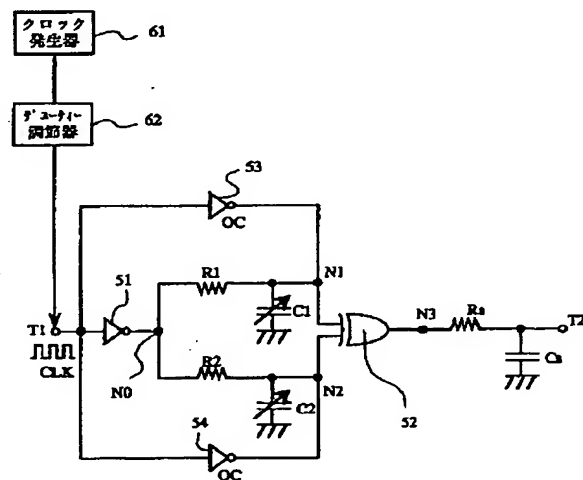
(74) 代理人 弁理士 志村 浩

(54) 【発明の名称】 静電容量の変化を利用したセンサ用の信号処理回路

(57) 【要約】

【課題】 静電容量値の変化を電圧値に高感度で変換する。

【解決手段】 外力の作用により相互間距離が変化するように配置された電極対によって容量素子C1、C2が構成され、容量値C1とC2との差分により外力が検出される。入力端子T1には所定周期の矩形波信号CLKが与えられ、インバータ素子51で反転された後、遅延回路R1、C1を通過してノードN1に至る経路と、遅延回路R2、C2を通過してノードN2に至る経路とに分岐する。両分岐信号は排他的論理和素子52に与えられ、位相差に基づく信号がノードN3に出力され、平滑回路Rs、Csで平滑化され、出力端子T2に電圧信号が出力される。端子T1/ノードN1間および端子T1/ノードN2間には、オープンコレクタ型のインバータ素子53、54が接続され、矩形波信号CLKが高レベル状態のとき、容量素子C1、C2を強制放電させる。



## 【特許請求の範囲】

【請求項 1】 所定方向への外力が作用することにより、相互間距離が増加するように配置された電極対によって第 1 の容量素子を構成し、逆に、相互間距離が減少するように配置された電極対によって第 2 の容量素子を構成し、第 1 の容量素子の静電容量の変化値と第 2 の容量素子の静電容量の変化値との差分に基づいて、作用した外力を検出できるセンサ、に用いる信号処理回路であって、  
低レベル状態と高レベル状態とを周期的に繰り返す周期信号を供給する信号供給源と、  
第 1 の端点に前記周期信号が供給される第 1 の抵抗素子と、  
第 1 の端点に前記周期信号が供給される第 2 の抵抗素子と、  
第 1 の入力端が、前記第 1 の抵抗素子の第 2 の端点に接続され、第 2 の入力端が、前記第 2 の抵抗素子の第 2 の端点に接続され、前記第 1 の入力端に与えられた信号と前記第 2 の入力端に与えられた信号との位相差を示す論理信号を生成する論理素子と、  
を備え、前記第 1 の容量素子を構成する電極対の一端と前記第 2 の容量素子を構成する電極対の一端とを低レベル状態に固定するとともに、前記第 1 の容量素子を構成する電極対の他端を前記第 1 の抵抗素子の第 2 の端点に接続し、前記第 2 の容量素子を構成する電極対の他端を前記第 2 の抵抗素子の第 2 の端点に接続し、前記差分を前記論理信号として出力できるようにし、  
前記周期信号が高レベル状態にあるときには、前記論理素子の両入力端の状態には影響を与えず、前記周期信号が低レベル状態にあるときには、前記論理素子の両入力端が低レベル状態となるように前記各容量素子を放電させる機能を有する制御素子を更に設けたことを特徴とする静電容量の変化を利用したセンサ用の信号処理回路。  
【請求項 2】 請求項 1 に記載の信号処理回路において、  
第 2 の容量素子に並列接続されたオフセット用容量素子を更に設け、論理信号の示す位相差が、所定の基準レベルに対して増減するようにし、作用した外力の向きを前記増減に基づいて認識できるようにしたことを特徴とする静電容量の変化を利用したセンサ用の信号処理回路。  
【請求項 3】 外力の作用により相互間距離が変化するように配置された電極対によって容量素子を構成し、この容量素子の静電容量の変化に基づいて、作用した外力を検出できるセンサ、に用いる信号処理回路であって、低レベル状態と高レベル状態とを周期的に繰り返す周期信号を供給する信号供給源と、  
第 1 の端点に前記周期信号が供給される抵抗素子と、  
第 1 の入力端に、前記周期信号が与えられ、第 2 の入力端が、前記抵抗素子の第 2 の端点に接続され、前記第 1 の入力端に与えられた信号と前記第 2 の入力端に与えら

れた信号との位相差を示す論理信号を生成する論理素子と、  
を備え、前記容量素子を構成する前記電極対の一端を低レベル状態に固定するとともに、他端を前記抵抗素子の前記第 2 の端点に接続し、前記容量素子の静電容量の変化を前記論理信号として出力できるようにし、  
前記周期信号が高レベル状態にあるときには、前記論理素子の第 2 の入力端の状態には影響を与えず、前記周期信号が低レベル状態にあるときには、前記論理素子の第 2 の入力端が低レベル状態となるように前記容量素子を放電させる機能を有する制御素子を更に設けたことを特徴とする静電容量の変化を利用したセンサ用の信号処理回路。

【請求項 4】 請求項 1～3 のいずれかに記載の信号処理回路において、  
信号供給源が供給する周期信号として、容量素子を放電させるための期間が充電させるための期間よりも短くなるようなデューティ比をもった矩形波信号を用いることを特徴とする静電容量の変化を利用したセンサ用の信号処理回路。

【請求項 5】 請求項 1～3 のいずれかに記載の信号処理回路において、  
信号供給源が、発生する周期信号の周波数もしくはデューティ比を調節する手段を備えていることを特徴とする静電容量の変化を利用したセンサ用の信号処理回路。

【請求項 6】 請求項 1～5 のいずれかに記載の信号処理回路において、  
制御素子として、オープンコレクタ型のインバータ素子を用い、このインバータ素子の入力端に周期信号に対して反転した信号を与え、このインバータ素子の出力端を論理素子の入力端に接続したことを特徴とする静電容量の変化を利用したセンサ用の信号処理回路。

【請求項 7】 請求項 1～5 のいずれかに記載の信号処理回路において、  
制御素子として、一端が低レベル状態に固定され、他端が論理素子の入力端に接続されたアナログスイッチを用い、信号供給源の供給する周期信号が高レベル状態にあるときには OFF 状態、低レベル状態にあるときには ON 状態となるようなスイッチング動作を行わせ、ON 状態のときに容量素子を放電させるようにしたことを特徴とする静電容量の変化を利用したセンサ用の信号処理回路。

【請求項 8】 請求項 1～7 のいずれかに記載の信号処理回路において、  
論理素子が生成する論理信号を平滑化して所定レベルの電圧信号を発生させる平滑回路を更に設け、位相差を電圧値として検出できるようにしたことを特徴とする静電容量の変化を利用したセンサ用の信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は静電容量の変化を利用したセンサ用の信号処理回路、特に一對の電極間距離の変化に基づいて力・加速度・磁気などの検出を行うセンサについての信号処理を行う回路に関する。

【0002】

【従来の技術】自動車産業や機械産業などでは、力、加速度、磁気といった物理量を正確に検出できるセンサの需要が高まっている。特に、二次元あるいは三次元の各成分ごとにこれらの物理量を検出する小型の装置が望まれている。このような需要に応えるため、静電容量の変化を利用して物理量の検出を行うセンサが提案されている。たとえば、特開平 4-148833 号公報、特開平 5-118942 号公報、特開平 5-215627 号公報、特許協力条約に基づく国際公開第 W091/10118 号公報には、静電容量の変化を利用したセンサが提案されている。これらのセンサでは、固定基板上に形成された固定電極と、力の作用により変位を生じる変位電極と、によって容量素子が構成され、この容量素子の静電容量の変化に基づいて、作用した力の多次元成分のそれぞれが検出できる。

【0003】自動車や産業用ロボットの制御装置は、センサからの出力信号に基づいて種々の制御を行う。このとき、出力信号は、静電容量  $C$  の形ではなく、電圧値  $V$  の形で与えられていた方が取り扱いやすい。このため、静電容量の変化として取り出されるセンサの出力を、電圧値に変換するための信号処理回路が必要になる。ただ、精度良いセンサ出力を得るためには、温度による誤差が生じにくい信号処理回路を用いる必要がある。特に、自動車や産業用ロボットにセンサを用いた場合、 $-40 \sim +100^\circ\text{C}$  という過酷な温度条件が要求され、温度特性は検出精度に重大な影響を与えることになる。

【0004】そこで、特開平 5-346357 号公報には、温度の影響を受けることなく正確な検出値を出力することができる静電容量の変化を利用したセンサ用の信号処理回路が提案されている。この信号処理回路では、センサを構成する容量素子に抵抗素子を組み合わせることにより  $CR$  遅延回路が構成され、この遅延回路を通った周期信号の遅延時間に基づいて容量値  $C$  に対応する電圧値  $V$  が得られる。

【0005】

【発明が解決しようとする課題】上述した従来の信号処理回路は、温度による誤差が生じにくいという点では優れた回路であるが、より精度の高い検出を行うには限界がある。力・加速度・磁気などの検出を行うセンサは、今後も益々小型化が要求される傾向にあり、内蔵する容量素子の容量値も小さくせざるを得なくなる。このため、より微細な容量変化を感度良く検出する必要が生じる。上述した信号処理回路の検出感度を高める方法としては、抵抗素子の抵抗値を大きくする方法や、周期信号の周波数を高める方法があるが、いずれの方法を採って

も、処理対象となる波形になまりが生じるため、ある限界を越すと、正しい動作が確保できなくなる。

【0006】そこで本発明は、温度の影響を受けることなく高感度の出力が得られる静電容量の変化を利用したセンサ用の信号処理回路を提供することを目的とする。

【0007】

【課題を解決するための手段】

(1) 本発明の第 1 の態様は、所定方向への外力が作用することにより、相互間距離が増加するように配置された電極対によって第 1 の容量素子を構成し、逆に、相互間距離が減少するように配置された電極対によって第 2 の容量素子を構成し、第 1 の容量素子の静電容量の変化値と第 2 の容量素子の静電容量の変化値との差分に基づいて、作用した外力を検出できるセンサ、に用いる信号処理回路において、低レベル状態と高レベル状態とを周期的に繰り返す周期信号を供給する信号供給源と、第 1 の端点に周期信号が供給される第 1 の抵抗素子と、第 1 の端点に周期信号が供給される第 2 の抵抗素子と、第 1 の入力端が、第 1 の抵抗素子の第 2 の端点に接続され、第 2 の入力端が、第 2 の抵抗素子の第 2 の端点に接続され、第 1 の入力端に与えられた信号と第 2 の入力端に与えられた信号との位相差を示す論理信号を生成する論理素子と、を設け、第 1 の容量素子を構成する電極対の一端と第 2 の容量素子を構成する電極対の一端とを低レベル状態に固定するとともに、第 1 の容量素子を構成する電極対の他端を第 1 の抵抗素子の第 2 の端点に接続し、第 2 の容量素子を構成する電極対の他端を第 2 の抵抗素子の第 2 の端点に接続し、静電容量の変化値の差分を論理信号として出力できるようにし、周期信号が高レベル状態にあるときには、論理素子の両入力端の状態には影響を与えず、周期信号が低レベル状態にあるときには、論理素子の両入力端が低レベル状態となるように各容量素子を放電させる機能を有する制御素子を更に設けたものである。

【0008】(2) 本発明の第 2 の態様は、上述の第 1 の態様に係る信号処理回路において、第 2 の容量素子に並列接続されたオフセット用容量素子を更に設け、論理信号の示す位相差が、所定の基準レベルに対して増減するようにし、作用した外力の向きをこの増減に基づいて認識できるようにしたものである。

【0009】(3) 本発明の第 3 の態様は、外力の作用により相互間距離が変化するように配置された電極対によって容量素子を構成し、この容量素子の静電容量の変化に基づいて、作用した外力を検出できるセンサ、に用いる信号処理回路において、低レベル状態と高レベル状態とを周期的に繰り返す周期信号を供給する信号供給源と、第 1 の端点にこの周期信号が供給される抵抗素子と、第 1 の入力端に、周期信号が与えられ、第 2 の入力端が、抵抗素子の第 2 の端点に接続され、第 1 の入力端に与えられた信号と第 2 の入力端に与えられた信号との

位相差を示す論理信号を生成する論理素子と、を設け、容量素子を構成する電極対の一端を低レベル状態に固定するとともに、他端を抵抗素子の第2の端点に接続し、容量素子の静電容量の変化を論理信号として出力できるようにし、周期信号が高レベル状態にあるときには、論理素子の第2の入力端の状態には影響を与えず、周期信号が低レベル状態にあるときには、論理素子の第2の入力端が低レベル状態となるように容量素子を放電させる機能を有する制御素子を更に設けたものである。

【0010】(4) 本発明の第4の態様は、上述の第1～第3の態様に係る信号処理回路において、信号供給源が供給する周期信号として、容量素子を放電させるための期間が充電させるための期間よりも短くなるようなデューティ比をもった矩形波信号を用いるようにしたものである。

【0011】(5) 本発明の第5の態様は、上述の第1～第3の態様に係る信号処理回路において、信号供給源に、発生する周期信号の周波数もしくはデューティ比を調節する手段を設けるようにしたものである。

【0012】(6) 本発明の第6の態様は、上述の第1～第5の態様に係る信号処理回路において、制御素子として、オープンコレクタ型のインバータ素子を用い、このインバータ素子の入力端に周期信号に対して反転した信号を与え、このインバータ素子の出力端を論理素子の入力端に接続するようにしたものである。

【0013】(7) 本発明の第7の態様は、上述の第1～第5の態様に係る信号処理回路において、制御素子として、一端が低レベル状態に固定され、他端が論理素子の入力端に接続されたアナログスイッチを用い、信号供給源の供給する周期信号が高レベル状態にあるときにはOFF状態、低レベル状態にあるときにはON状態となるようなスイッチング動作を行わせ、ON状態のときに容量素子を放電させるようにしたものである。

【0014】(8) 本発明の第8の態様は、上述の第1～第7の態様に係る信号処理回路において、論理素子が生成する論理信号を平滑化して所定レベルの電圧信号を発生させる平滑回路を更に設け、位相差を電圧値として検出できるようにしたものである。

【0015】

【発明の実施の形態】

## §1 センサの基本原理解

はじめに、本発明の適用対象となるセンサの基本原理解について簡単に述べておく。なお、具体的なセンサの構造や製造方法についての詳細は、前掲の各公報を参照されたい。

【0016】図1は、従来から用いられているいわゆる「片もち梁式」の一次元加速度センサの側断面図である。このセンサの主たる構成要素は、上部固定基板1、下部固定基板2、中間体3、弾性支持体4、作用体5、上部電極6、下部電極7である。ここで、上部固定基板

1、下部固定基板2は絶縁体からなり、中間体3、弾性支持体4、作用体5は、一体成型された金属からなる。また、上部電極6は上部固定基板1の下面に形成され、作用体5の上面との間には所定間隔dが確保される。ここで、作用体5の上面層は上部電極6に対向する電極として機能し、間隔dをもって配された一対の電極（作用体5の上面層と上部電極6）により容量値C1をもった第1の容量素子C1が形成されることになる。一方、下部電極7は下部固定基板2の上面に形成され、作用体5の下面との間には所定間隔dが確保される。ここで、作用体5の下面層は下部電極7に対向する電極として機能し、間隔dをもって配された一対の電極（作用体5の下面層と下部電極7）により容量値C2をもった第2の容量素子C2が形成されることになる。

【0017】弾性支持体4は、金属の薄板から構成されており弾性を有する。したがって、作用体5に外力が作用すると、弾性支持体4が弾性変形し、作用体5が変位することになり、その変位量は作用した外力の大きさに応じたものとなる。図2は、作用体5に対して図の下方への力F（たとえば、加速度に基づく力）が作用し、弾性支持体4が撓むことにより作用体5が図の下方へ変位した状態を示す側断面図である。たとえば、作用体5が図の下方へΔdだけ移動したとすると、第1の容量素子C1の電極間隔はd+Δdと広くなり、第2の容量素子C2の電極間隔はd-Δdと狭くなる。

【0018】一般に、容量素子の静電容量Cは、電極面積をS、電極間隔をd、誘電率をεとすると、 $C = \epsilon S / d$

で定まる。したがって、対向する電極間隔が接近すると静電容量Cは大きくなり、遠ざかると静電容量Cは小さくなる。したがって、図2に示す状態では、図1に示す状態に比べると、第1の容量素子C1の容量値C1は減少し、第2の容量素子C2の容量値C2は増加することになる。よって、これら静電容量値の変化に基づいて、作用体5に作用した外力（この例の場合、加速度に基づく力F）を求めることができる。具体的には、容量値の差分（C2-C1）の絶対値が作用した力の大きさを示し、差分の符号が作用した力の方向を示すことになる。作用体5としてある程度の質量をもった金属塊を用い、このセンサ全体をたとえばエレベータに搭載したとすると、エレベータの昇降運動に基づき、錘りとして機能する作用体5に加速度が加わることになる。この加速度に基づく外力により作用体5に変位が生じ、作用した加速度が容量値の変化として検出されることになる。このように、このセンサは一次元の加速度センサとして機能する。

【0019】一方、図3は、従来提案されている三次元加速度センサの側断面図である。このセンサの主たる構成要素は、固定基板10、可撓基板20、作用体30、そして装置筐体40である。図4に、固定基板10の下

面図を示す。図 4 の固定基板 10 を X 軸に沿って切断した断面が図 3 に示されている。固定基板 10 は、図示のとおり円盤状の基板であり、周囲は装置筐体 40 に固定されている。この下面には、同じく円盤状の固定電極 11 が形成されている。一方、図 5 に可撓基板 20 の上面図を示す。図 5 の可撓基板 20 を X 軸に沿って切断した断面が図 3 に示されている。可撓基板 20 も、図示のとおり円盤状の基板であり、周囲は装置筐体 40 に固定されている。この上面には、同一形状をもった扇状の変位電極 21~24 および円盤状の変位電極 25 が図のように形成されている。作用体 30 は、その上面が図 5 に破線で示されているように、円柱状をしており、可撓基板 20 の下面に、同軸接合されている。装置筐体 40 は、円筒状をしており、固定基板 10 および可撓基板 20 の周囲を固着支持している。

【0020】固定基板 10 および可撓基板 20 は、互いに平行な位置に所定間隔をおいて配設されている。いずれも円盤状の基板であるが、固定基板 10 は剛性が高く撓みを生じにくい基板であるのに対し、可撓基板 20 は可撓性をもち、力が加わると撓みを生じる基板となっている。いま、図 3 に示すように、作用体 30 の重心に作用点 P を定義し、この作用点 P を原点とする XYZ 三次元座標系を図のように定義する。すなわち、図 3 の右方向に X 軸、上方向に Z 軸、紙面に対して垂直に紙面裏側へ向かう方向に Y 軸、をそれぞれ定義する。ここで、このセンサ全体をたとえば自動車に搭載したとすると、自動車の走行に基づき作用体 30 に加速度が加わることになる。この加速度により、作用点 P に外力が作用する。作用点 P に力が作用していない状態では、図 3 に示すように、固定電極 11 と変位電極 21~25 とは所定間隔をおいて平行な状態を保っている。ところが、たとえば、作用点 P に X 軸方向の力  $F_x$  が作用すると、この力  $F_x$  は可撓基板 20 に対してモーメント力を生じさせ、図 6 に示すように、可撓基板 20 に撓みが生じることになる。この撓みにより、変位電極 21 と固定電極 11 との間隔は大きくなるが、変位電極 23 と固定電極 11 との間隔は小さくなる。作用点 P に作用した力が逆向きの  $-F_x$  であったとすると、これと逆の関係の撓みが生じることになる。

【0021】このように力  $F_x$  または  $-F_x$  が作用したとき、変位電極 21 および 23 に関する静電容量に変化が表れることになり、これを検出することにより力  $F_x$  または  $-F_x$  を検出することができる。このとき、変位電極 22, 24, 25 のそれぞれと固定電極 11 との間隔は、部分的に大きくなったり小さくなったりするが、全体としては変化しないと考えてよい。一方、Y 方向の力  $F_y$  または  $-F_y$  が作用した場合は、変位電極 22 と固定電極 11 との間隔、および変位電極 24 と固定電極 11 との間隔、についてのみ同様の変化が生じる。また、Z 軸方向の力  $F_z$  が作用した場合は、図 7 に示すよ

うに、変位電極 25 と固定電極 11 との間隔が小さくなり、逆向きの力  $-F_z$  が作用した場合は、この間隔は大きくなる。このとき、変位電極 21~24 と固定電極 11 との間隔も、小さくあるいは大きくなるが、変位電極 25 に関する変化が最も顕著である。そこで、この変位電極 25 に関する静電容量の変化を検出することにより力  $F_z$  または  $-F_z$  を検出することができる。

【0022】結局、X 軸方向の加速度は変位電極 21, 23 と固定電極 11 との間の容量変化に基づき、Y 軸方向の加速度は変位電極 22, 24 と固定電極 11 との間の容量変化に基づき、Z 軸方向の加速度は変位電極 25 と固定電極 11 との間の容量変化に基づき、それぞれ検出が行われる。すなわち、変位電極 21 と固定電極 11 との組み合わせによって容量値  $C_1$  をもった容量素子  $C_1$  が構成され、変位電極 23 と固定電極 11 との組み合わせによって容量値  $C_3$  をもった容量素子  $C_3$  が構成されているとすれば、容量値の差分  $(C_3 - C_1)$  の絶対値が X 軸方向の加速度の大きさを示し、この差分の符号が加速度の向きを示すことになる。また、変位電極 22 と固定電極 11 との組み合わせによって容量値  $C_2$  をもった容量素子  $C_2$  が構成され、変位電極 24 と固定電極 11 との組み合わせによって容量値  $C_4$  をもった容量素子  $C_4$  が構成されているとすれば、容量値の差分  $(C_2 - C_4)$  の絶対値が Y 軸方向の加速度の大きさを示し、この差分の符号が加速度の向きを示すことになる。更に、変位電極 25 と固定電極 11 との組み合わせによって容量値  $C_5$  をもった容量素子  $C_5$  が構成されているとすれば、この容量値  $C_5$  の変動分の絶対値が Z 軸方向の加速度の大きさを示し、この変動分の符号が加速度の向きを示すことになる。

【0023】なお、上述の各センサはいずれも加速度センサであるが、作用体 5, 30 に直接外力を作用させるようにすれば、力センサとして用いることができる。また、作用体 5, 30 を磁性体で構成しておけば、ここに作用する磁気力を検出するための磁気センサとして用いることもできる。

#### 【0024】§ 2 従来の信号処理回路

結局、上述した種々のセンサでは、静電容量の変化に基づいて物理量の検出が行われることになるが、この検出結果を表示したり、記録したり、あるいは、この検出結果に基づいて何らかの制御を行ったりするためには、静電容量値を電圧値に変換する必要がある。このような容量値/電圧値の変換を行うために適した信号処理回路が、特開平 5-346357 号公報に開示されている。この信号処理回路は、温度の影響をできるだけ抑制し、正確な検出値を出力することができるというメリットを有する。

【0025】図 8 は、この従来の信号処理回路の一例を示す回路図であり、この信号処理回路を用いれば、たとえば、図 1 に示す一次元加速度センサを構成する 2 つの

容量素子C1、C2の静電容量値の差分( $C2 - C1$ )を電圧値V1として取り出すことができる。この回路の入力端子T1には、図示されていない信号発生源から、低レベル状態と高レベル状態とを周期的に繰り返す矩形波信号(いわゆるクロック信号)CLKが与えられる。この入力端子T1の後段には、インバータ素子51が接続されており、このインバータ素子51の出力端に相当するノードN0には、矩形波信号CLKを反転した反転信号が得られることになる。ノードN0の後段は2つに分岐し、それぞれ抵抗素子R1、R2が接続されており、この抵抗素子R1、R2の出力端に相当するノードN1、N2には、排他的論理和素子(Ex-ORゲート)52が接続されている。また、抵抗素子R1の出力端には、容量素子C1の一方の電極が接続され、この容量素子C1の他方の電極は接地されており、抵抗素子R2の出力端には、容量素子C2の一方の電極が接続され、この容量素子C2の他方の電極は接地されている。ここで、容量素子C1、C2は、図1に示した一次元加速度センサを構成する容量素子C1、C2である。更に、排他的論理和素子52の出力端には、ノードN3を介して抵抗素子Rsおよび容量素子Csが接続されており、最後に出力端子T2が設けられている。この抵抗素子Rsおよび容量素子Csは、排他的論理和素子52の出力信号を平滑化するための平滑回路である。

【0026】次に、この信号処理回路の動作を、図9の模擬波形図を参照して説明しよう。この模擬波形図には、図8の回路図における入力端子T1、ノードN0、N1、N2、N3、出力端子T2の各部の波形が同一時間軸を用いて示されている。もっとも、この模擬波形図に示されている各波形は、論理動作の説明の便宜を図るための模擬波形であり、実際の回路で得られる各部の波形とは若干異なっている。たとえば、ノードN1、N2に得られる波形は、C1、R1の組み合わせ、あるいはC2、R2の組み合わせからなるCR遅延回路を通過した波形であるため、図示のような正確な矩形波にはならず、立上がりや立ち下がり部分が緩慢な波形(いわゆる「なまった波形」となる。そもそも、入力端子T1に与えられる矩形波信号にしても、実際の回路では各部に寄生抵抗や寄生容量が存在するため、完全な矩形波にはならない。ただ、ここでは説明の便宜上、各部に得られる模擬波形として、いずれも矩形波を示すことにする。

【0027】いま、入力端子T1に、図9の第1段目に示すような周期P1をもった矩形波信号が与えられたとしよう。この場合、ノードN0には、図9の第2段目に示すような反転信号が得られることになる(ここでは、インバータ素子51による遅延や波形なまりは無視している)。そして、このノードN0の反転信号は、抵抗素子R1および容量素子C1からなるCR遅延回路を通過して、ノードN1に現れるが、CR遅延回路固有の時定数 $\Delta t1$ だけ時間遅れを生じることになる。図9の第3段

目には、このように $\Delta t1$ だけ時間遅れを生じてノードN1に現れる信号が示されている。ノードN2にも、同様に時間遅れを生じた信号が現れることになるが、ここでは、ノードN2に現れる信号は、 $\Delta t1$ よりも大きな $\Delta t2$ だけ時間遅れが生じたものとしよう。図9の第4段目には、このように $\Delta t2$ だけ時間遅れを生じてノードN2に現れる信号が示されている。排他的論理和素子52は、ノードN1の信号とノードN2の信号との排他的論理和をとる機能を有しているため、ノードN3に現れる信号は、図9の第5段目に示すようなものになる。この信号は、ノードN1の信号とノードN2の信号との位相差を示す信号であり、周期 $P1/2$ ごとに、幅W1( $W1 = \Delta t2 - \Delta t1$ )のパルス(図のハッチング部分)が現れる矩形波信号になる。このノードN3の信号は、更に、抵抗素子Rsおよび容量素子Csからなる平滑化回路で平滑化され、最終的に出力端子T2には、図9の第6段目に示すような信号が得られる。この信号は、一定の電圧値V1を示す信号であり、この出力端子T2の信号におけるハッチング部分の面積は、ノードN3の信号におけるハッチング部分の面積に相当したものとなる。

【0028】さて、このような回路において、抵抗素子R1とR2との抵抗値を等しく設定しておき、また、容量素子C1とC2との容量値も等しく設定しておいたとすると、ノードN1、N2には全く同じ波形が得られ、排他的論理和素子52の出力は常に低レベル状態となる。よって、出力端子T2は、常に低レベル状態(図におけるV1=0の状態)となる。したがって、この回路を図1に示す加速度センサに適用した場合、このセンサに何ら加速度が作用していない状態(図1に示す状態)では、出力電圧V1=0となる。ところが、この加速度センサの作用体5に、たとえば、図の下方への加速度が作用した状態(図2に示す状態)では、容量素子C1の容量値C1は減少し、容量素子C2の容量値C2は増加することになるので、図8に示す回路において、抵抗素子R1とR2とが同じ抵抗値であったとしても、R1、C1の組み合わせからなる遅延回路の遅延時間( $\Delta t1$ )に比べて、R2、C2の組み合わせからなる遅延回路の遅延時間( $\Delta t2$ )の方が大きくなる。図9に示すノードN1、N2の波形は、このように遅延時間に差が生じたときの状態を示すものである。この遅延時間の差( $\Delta t2 - \Delta t1$ )は、ノードN3に現れる信号のパルスの幅W1を決定し、最終的に、出力端子T2に現れる出力電圧V1を決定する要素となる。結局、この信号処理回路を用いれば、図1に示す加速度センサにおける作用体5の変位量が、出力端子T2の出力電圧V1として得られることになる。

【0029】以上、この信号処理回路を、図1に示す一次元加速度センサに適用した例を示したが、この回路は、図3に示す三次元加速度センサにも同様に適用する



ことができる。たとえば、変位電極21と固定電極11との組み合わせからなる容量素子を図8の容量素子C1として用い、変位電極23と固定電極11との組み合わせからなる容量素子を図8の容量素子C2として用いれば、出力電圧V1はX軸方向の加速度を示すものとなり、変位電極24と固定電極11との組み合わせからなる容量素子を図8の容量素子C1として用い、変位電極22と固定電極11との組み合わせからなる容量素子を図8の容量素子C2として用いれば、出力電圧V1はY軸方向の加速度を示すものとなる。

#### 【0030】§3 従来の信号処理回路の限界

ここで、上述したセンサの検出感度を向上させるための方法を検討してみる。たとえば、図1に示す一次元加速度センサによる検出感度を向上させるための方法としては、弾性支持体4を薄くして撓みやすくし、わずかな外力でも作用体5の変位dが大きくなるようにする方法や、上部電極6、下部電極7の面積を増やし、各容量素子の容量値を全体的に増加させる方法などがある。しかし、これらの方法は、いずれもセンサを構造的に改良するものである。本発明は、信号処理回路の改良によって、検出感度を向上させようとするものである。別言すれば、図2に示すように、作用体5が±Δdだけ変位した状態において、この変位量±Δdをいかに効率的に電圧に変換するかという方法を提供するものである。

【0031】図8に示す信号処理回路の感度を向上させる第1の方法は、抵抗素子R1、R2の抵抗値を増やすことである。図9に示すノードN1の波形の遅延時間Δt1は、抵抗素子R1と容量素子C1とからなるCR遅延回路の時定数で定まるものであり、抵抗素子R1の抵抗値が大きくなれば、当然、遅延時間Δt1も大きくなる。同様に、抵抗素子R2の抵抗値が大きくなれば、遅延時間Δt2も大きくなる。そこで、たとえば、抵抗素子R1、R2の抵抗値をいずれも2倍にして、遅延時間Δt1、Δt2を2倍にすることができたとしよう。図10の模擬波形図は、このときの動作を示すものである。図10の第3段目には、2・Δt1だけ時間遅れを生じてノードN1に現れる信号が示されており、第4段目には、2・Δt2だけ時間遅れを生じてノードN2に現れる信号が示されている。この場合、ノードN3に現れる信号は、図10の第5段目に示すようなものになり、周期P1/2ごとに、幅W2（W2=2（Δt2-Δt1））のパルス（図のハッチング部分）が現れる矩形波信号になる。よって、これを平滑化すれば、図10の第6段目に示すように、出力端子T2には電圧値V2が得られる。図9の電圧値V1と図10の電圧値V2を比較すればわかるように、後者の方が大きな電圧が得られており、感度が向上していることになる。

【0032】図8に示す信号処理回路の感度を向上させる第2の方法は、入力端子T1に与える矩形波信号CLKの周波数を高くすることである。これを図11の模擬

波形図を参照して説明しよう。図11の第1段目には、入力端子T1に与える矩形波信号CLKが示されているが、その周期P2は、図9に示す矩形波信号CLKの周期P1よりも短くなっている。このように、周波数の高い矩形波信号CLKを用いても、この回路の基本動作には変わりはないので、ノードN1、N2には、図11の第3段目および第4段目に示すような波形が得られ、ノードN3には、図11の第5段目に示すような波形が得られる。このノードN3の信号は、やはり幅W1（W1=Δt2-Δt1）のパルス（図のハッチング部分）をもった矩形波信号であるが、図9の第5段目の信号と比較するとわかるように、パルスの現れる周期がP2/2と短くなっている。したがって、これを平滑化して出力端子T2に現れる信号は、図11の第6段目に示すように、電圧値V3を示すものとなり、やはり感度が向上していることになる。

【0033】このような2つの方法を適用すれば、従来の信号処理回路の検出感度をある程度までは向上させることができるが、この方法には限界がある。その理由を、図12および図13の波形図を用いて説明しよう。上述の動作説明で用いた図9、図10、図11の波形図は、既に述べたように、説明の便宜のために示した模擬的な波形図であり、実際の回路では、このような完全な矩形波形は得られない。特に、ノードN1、N2に得られる波形は、CR遅延回路の通過によりかなり歪んだものとなる。すなわち、これまでの説明で用いた遅延時間Δt1、Δt2なるものは、この波形の歪みを模擬的に示したものである。したがって、実際のノードN1、N2に得られる波形は、たとえば、図12に実線で示したような波形になる。なお、一点鎖線で示す波形は、歪みが生じる前の矩形波形を比較のために示したものである。このような歪みが生じるのは、CR遅延回路における容量素子Cに対する充電あるいは放電に時間がかかるためである。

【0034】ここで、排他的論理和素子52に、このような歪んだ信号が入力された場合の動作を考えてみる。たとえば、排他的論理和素子52として、CMOSの論理素子を用いたとすると、電源電圧VDDで動作するCMOSの論理動作閾値電圧はVDD/2付近である。ただ、実際の論理素子の閾値電圧は、ヒステリシス特性をもっており、低レベル状態から高レベル状態に移移するときの閾値電圧と、高レベル状態から低レベル状態に移移するときの閾値電圧とは異なる。たとえば、図12の波形図において、ノードN1またはN2の電圧が、低レベル状態から高レベル状態に移移するときの閾値電圧は電圧h1となり、逆に、高レベル状態から低レベル状態に移移するときの閾値電圧は電圧h2となる。したがって、ノードN1またはN2の信号波形の立上がり部分が電圧レベルh1を横切った瞬間、あるいは立ち下がり部分が電圧レベルh2を横切った瞬間に、排他的論理和素子52

の論理出力が遷移することになる。このように、図 12 に実線で示す歪んだ波形の場合、一点鎖線で示す理想的な波形に比べ、論理遷移が起こる時点で「遅れ」が生じることになり、この「遅れ」が、これまでの説明で用いた遅延時間  $\Delta t_1$ 、 $\Delta t_2$  に相当するものである。

【0035】さて、図 12 に実線で示すような歪んだ信号が入力された場合であっても、この信号波形が電圧レベル  $h_1$ 、 $h_2$  を交互に横切っている限り、排他的論理和素子 52 は当初の設計どおりの論理動作を行うことができる。ところが、この信号の周波数を高くしてゆくと、やがてこの論理動作に支障が生じるようになる。図 13 に実線で示す波形は、入力端子 T1 に与える矩形波信号 CLK の周波数をより高めたときに、ノード N1 または N2 に得られる信号波形を示すものである。一点鎖線で示す波形は、歪みが生じる前の矩形波信号を示すものであり、図 12 図の矩形波信号と比較すると、周波数が高くなっていることがわかる。このように、もとの矩形波信号の周波数が高くなると、周期は短くなるため、歪みを生じた信号はもとの矩形波信号に十分に追従することができなくなってくる。別言すれば、もとの矩形波信号の周期に比べて、CR 遅延回路の容量素子の充電あるいは放電に必要な時間の方が長くなっていく。このため、歪みを生じた信号波形は、図 13 に実線で示すように、電圧上昇過程であっても高レベル状態に到達する前に電圧下降過程へと遷移し、逆に、電圧下降過程であっても低レベル状態に到達する前に電圧上昇過程へと遷移することになり、電圧レベル  $V_{DD}/2$  を中心として振幅 A1 で振動する周期信号波形となる。この図 13 に示す例では、まだ、振幅 A1 が、電圧レベル  $h_1 \sim h_2$  の幅よりも大きい場合、排他的論理和素子 52 は支障なく論理動作を行うことができる。ところが、もとの矩形波信号の周波数を更に高くすると、振幅 A1 は更に小さくなり、やがて、信号波形は電圧レベル  $h_1$ 、 $h_2$  を横切らない状態になる。こうなると、排他的論理和素子 52 は当初の設計どおりの動作を行うことはできず、この信号処理回路からは正しい出力電圧は得られなくなる。

【0036】以上述べたように、図 8 に示す従来の信号処理回路では、感度を高めるために矩形波信号 CLK の周波数を高めようとしても、ある程度以上の周波数になると正常動作が行われなくなってしまう。このような事情は、感度を高めるためのもうひとつの方法、すなわち、抵抗素子 R1、R2 の抵抗値を小さくするという方法でも全く同じである。CR 遅延回路の抵抗値を大きく設定すれば、波形の歪みがより顕著になる。すなわち、図 13 に実線で示す信号波形を例にとれば、抵抗値を大きくすると波形がより寝た状態になる。このため、やはり振幅 A1 が小さくなり、正常な動作が行われなくなる。このように、図 8 に示す従来の信号処理回路では、検出感度の向上に限界があり、この限界を越えて感度を向上させることはできない。

#### 【0037】§4 本発明の信号処理回路

本発明の特徴は、図 8 に示す従来の信号処理回路に、新たな構成要素を付加することにより、検出感度を更に向上させるようにした点にある。図 14 は、本発明の一例に係る信号処理回路の回路図である。この回路は、図 8 に示す従来の信号処理回路に、更に、オープンコレクタ型のインバータ素子 53、54 を付加したものである。インバータ素子 53 の入力端は入力端子 T1 に接続されており、出力端はノード N1 に接続されている。また、インバータ素子 54 の入力端は入力端子 T1 に接続されており、出力端はノード N2 に接続されている。オープンコレクタ型のインバータ素子は、TTL 素子（たとえば、7405-TTL チップ）などの形態で一般に供給されており、基本的には、入力信号を反転するという論理反転素子としての機能を有するが、図 14 に示すような回路接続を行って用いると、本発明に適した特有の動作を行うことができる。すなわち、入力端子 T1 の矩形波信号 CLK が低レベル状態にあるとき（ノード N0 に供給される信号が高レベル状態にあるとき）には、ノード N1、N2 の状態には何ら影響を与えず（別言すれば、抵抗値無限大の素子として機能する（いわゆるハイインピーダンス状態になる））、入力端子 T1 の矩形波信号 CLK が高レベル状態にあるとき（ノード N0 に供給される信号が低レベル状態にあるとき）には、ノード N1、N2 を接地電位に接続し、容量素子 C1、C2 を瞬時に放電させる。

【0038】さて、このように、オープンコレクタ型のインバータ素子 53、54 を付加した回路の動作を、図 15 の波形図を参照して説明しよう。いま、図 14 に示す回路の入力端子 T1 に、図 15 の第 1 段目に示すような周期 P2 をもった矩形波信号 CLK を与えたとする。ノード N0 には、図 15 の第 2 段目に示すような反転信号が得られる。このとき、ノード N1 または N2 に現れる波形は、図 15 の第 3 段目に実線で示すようなものになる。すなわち、入力端子 T1 の矩形波信号 CLK が高レベル状態にある前半周期 P21 においては、オープンコレクタ型のインバータ素子 53、54 の動作により、ノード N1、N2 は接地電位に接続されるため、容量素子 C1、C2 は瞬時に放電され、ノード N1、N2 の電位は低レベル状態となる。一方、入力端子 T1 の矩形波信号 CLK が低レベル状態に遷移した後半周期 P22 に入ると、オープンコレクタ型のインバータ素子 53、54 は、ノード N1、N2 の電位に何ら影響を及ぼさなくなり、容量素子 C1、C2 は CR 遅延回路の時定数に従って充電される。

【0039】ここで留意すべき点は、この後半周期 P22 における充電動作は、容量素子 C1、C2 が完全に放電している状態（前半周期 P21 の状態）から開始されるため、効率の良い充電が行われるという点である。すなわち、図 13 に示すように、電圧レベル  $V_{DD}/2$  近傍



の中途半端な半充電状態から充電動作を開始するよりも、図15に示すように、電圧レベル0の完全放電状態から充電動作を開始する方が、効率良い急速充電が可能になる。その結果、図15に示すノードN1、N2の波形振幅A2は、図13に示すノードN1、N2の波形振幅A1よりも大きくなる。結局、図14に示す本発明の信号処理回路では、図8に示す従来の処理回路に比べて、矩形波信号CLKの周波数をより高く設定しても支障ない動作が可能になり、検出感度を更に高めることが可能になる。

#### 【0040】 §5 デューティ比と感度との関係

上述したように、図14に示す本発明の信号処理回路では、矩形波信号CLKの周波数をより高く設定することにより、従来の回路に比べて検出感度を更に高めることが可能になる。しかし、この図14に示す信号処理回路にも、用いる矩形波信号CLKの周波数には限界があり、周波数ある程度以上高くすると、正常に動作しなくなる。図16は、矩形波信号CLKの周波数を更に高めたときの図14に示す信号処理回路の動作を示す波形図である。図16の第1段目に示す矩形波信号CLKの周期P3は、図15の第1段目に示す矩形波信号CLKの周期P2よりも更に短くなっている。そのため、図16の第2段目に示すノードN1、N2の波形振幅A3は、図15の第3段目に示すノードN1、N2の波形振幅A2よりも小さくなっており、もはや閾値電圧レベルh1には到達しない状態となっている。

【0041】本願発明者は、このような状態においても、矩形波信号CLKのデューティ比を変えることにより、正常動作が可能になることを見出だした。これを図17の波形図を用いて説明しよう。図17の第1段目に示す矩形波信号CLKは、図16の第1段目に示す矩形波信号CLKと同じ周期P3を有するが、デューティ比が異なっている。すなわち、図16の波形図ではデューティ比が50%であったのに対し、図17の波形図ではデューティ比が15%程度（前半周期P31：後半周期P32=15：85）に設定されている。ここで、前半周期P31は、容量素子C1、C2の放電を行うための期間である。この放電はオープンコレクタ型のインバータ素子53、54によって瞬時（CR遅延回路の時定数に比べて十分に短い時間）に行われるため、前半周期P31を長く設定する必要はない。一方、後半周期P32は、容量素子C1、C2の充電を行うための期間であり、充電速度はCR遅延回路の時定数に基づいて定まる。この後半周期P32を長く設定すると、図17の第2段目の波形図に示されているように、波形が立上がるために十分な時間を確保することが可能になる。このように、図16に示す動作も、図17に示す動作も、用いる矩形波信号CLKの周波数は全く同じであるが、前者におけるノードN1、N2の波形振幅はA3となり、正常動作に支障が生じていたのに対し、後者におけるノ

ドN1、N2の波形振幅はA4となり、正常動作が可能になる。

【0042】このように、本発明を実施する上では、用いる矩形波信号CLKのデューティ比を50%以下に設定（容量素子を放電させるための期間が充電させるための期間よりも短くなるように設定）するのが好ましく、特に、実用上は放電期間のデューティ比を10%程度に設定するのが好ましい。

【0043】このように、本発明に係る信号処理回路では、用いる矩形波信号CLKの周波数を調節するか、もしくはデューティ比を調節することにより、検出感度の調節が可能になる。そこで、信号発生源に、発生する矩形波信号CLKの周波数もしくはデューティ比を調節する手段を付加すれば、感度調節機能をもった信号処理回路を実現することができる。図18は、このような機能をもった信号処理回路の一例を示す回路図であり、クロック発生器61とデューティ比調節器62によって信号発生源が構成されている。クロック発生器61は、任意の周波数をもった矩形波信号CLKを発生させる装置であり、デューティ比調節器62は、クロック発生器61が発生した矩形波信号CLKのデューティ比を調節する手段である。オペレータは、クロック発生器61を調節して矩形波信号CLKの周波数を所望の値に設定するとともに、デューティ比調節器62を調節してそのデューティ比を所望の値に設定することができる。このような調節操作により、この信号処理回路の検出感度の調節が可能になる。

#### 【0044】 §6 オフセット用容量素子を用いた信号処理回路

以上説明したように、本発明に係る信号処理回路を用いれば、一対の容量素子C1、C2の容量値の差分の絶対値を電圧値として取り出すことができる。しかしながら、図14に示す回路では、差分の符号を認識することはできない。たとえば、図1に示す一次元加速度センサに図14に示す信号処理回路を適用した場合を考えよう。この加速度センサに加速度が全く作用していない状態では、容量素子C1、C2の容量値は等しくなり、図14の回路におけるノードN1、N2の信号は全く同じになり、出力端子T2の出力電圧は0となる。一方、図2に示すように、加速度に基づく下方への力Fが作用すると、容量素子C2の容量値C2と容量素子C1の容量値C1との関係は、 $C2 > C1$ となり、図9の模擬波形図に示されているように、ノードN1の信号波形に比べて、ノードN2の信号波形の方が大きく遅延を生じるようになり、この遅延時間の差に基づいて、出力端子T2に電圧V1が得られることになる。ところが、加速度の向きが逆転しても、出力端子T2には全く同じ電圧が得られる。すなわち、図2とは逆に、加速度に基づいて図の上方への力Fが作用すると、容量値の大小関係は $C2 < C1$ と逆転し、ノードN2の信号波形に比

べて、ノードN1の信号波形の方が大きく遅延を生じるようになるが、遅延時間の差には変わりがないため、出力端子T2には同じ電圧V1が得られることになる。

【0045】このように、図14に示す回路を図1の一次元加速度センサにそのまま適用すると、図の上下方向に作用した加速度の絶対値は出力端子T2に電圧V1として得ることはできるが、加速度の向き（上方向か下方向か）に関する情報は得ることができない。

【0046】このような問題に対処するためには、図14に示す回路の代わりに、図19に示す回路を用いればよい。この回路は、図14に示す回路に、更にオフセット用容量素子C0を追加したものである。このオフセット用容量素子C0は、出力端子T2に得られる電圧値に所定のオフセット値をバイアスするためのものであり、これを付加することにより、何ら加速度が作用していない状態であっても、出力端子T2には、所定の基準レベルの電圧が出力されるようになる。たとえば、図1に示す加速度センサにおいて、加速度が全く作用していない状態では、容量素子C1、C2の容量値は等しくなるが、図19に示す回路では、容量素子C2に対してオフ

セット用容量素子C0が並列接続されているため、ノードN1の信号波形に比べて、ノードN2の信号波形の方が大きく遅延を生じるようになり、この位相差に基づいて、出力端子T2に所定の基準レベルの電圧が出力されることになる。

【0047】ここで、もし図2に示すように、図の下方への力Fが作用すると、容量値の大小関係は $C2 > C1$ となり、ノードN2の信号波形の遅延時間は更に大きくなり、結果的に、ノードN1の信号波形とノードN2の信号波形との位相差は大きくなり、出力端子T2に出力される電圧は基準レベルよりも大きくなる。逆に、図の上方への力Fが作用すると、容量値の大小関係は $C1 > C2$ と逆転し、結果的に、ノードN1の信号波形とノードN2の信号波形との位相差は小さくなり、出力端子T2に出力される電圧は基準レベルよりも小さくなる。こうして、図19に示す信号処理回路を用いれば、出力端子T2に得られる出力電圧が基準レベルよりも大きいか小さいかによって、作用した加速度の向きを認識することができるようになり、出力電圧と基準レベルとの隔たりにより、作用した加速度の絶対値を認識することができるようになる。

#### 【0048】§1 単一の容量素子の容量値を検出する回路

これまで述べた信号処理回路は、いずれもセンサを構成する一対の容量素子の容量値の差分を電圧値として取り出すための回路であった。このような回路は、図1に示す一次元加速度センサに適用することが可能であり、また、図3に示す三次元加速度センサにおけるX軸方向の加速度成分やY軸方向の加速度成分の検出に適用することが可能である。このように、一対の容量素子の容量値

の差分として検出値を得る手法は、精度の高い検出値を得ることができるメリットがある。たとえば、温度上昇によってセンサの構成部材が膨張し、容量素子の電極間隔に変化が生じたとしても、一対の容量素子について同一の変化が生じさえすれば、差分検出値には、この温度変化の影響は現れない。ただ、センサによっては、単一の容量素子の容量値を直接検出するタイプのものも存在する。たとえば、図3に示す三次元加速度センサにおけるZ軸方向の加速度成分の検出には、固定電極11と変位電極25との組み合わせからなる単一の容量素子の容量値を検出する必要がある。また、図1に示す一次元加速度センサでも、一方の容量素子の容量値の変化だけに基いて加速度検出を行うことも可能である。

【0049】本発明は、このように、単一の容量素子の容量値を検出するタイプのセンサにも適用可能である。図20は、このようなタイプのセンサに適用するための信号処理回路の一例を示す回路図である。図14に示す回路との相違は、インバータ素子51からノードN1に至る経路にはCR遅延回路は存在せず、インバータ素子51からノードN2に至る経路にのみCR遅延回路が設けられている点である。したがって、オープンコレクタ型のインバータ素子54も、入力端子T1とノードN2との間にのみ設けられている。この回路では、ノードN1に現れる信号波形は、ノードN0の反転信号そのものになり、ノードN2に現れる遅延信号と反転信号との位相差に相当する幅をもったパルスが排他的論理和素子52からノードN3に出力されることになり、この幅に対応した出力電圧が出力端子T2に得られる。結局、出力端子T2に得られる出力電圧は、容量素子Cの容量値に対応したものになる。

#### 【0050】§8 CMOSアナログスイッチを用いた実施形態

上述した本発明に係る信号処理回路では、容量素子を瞬時に放電させるために、オープンコレクタ型のインバータ素子53、54を用いているが、これらの代わりにアナログスイッチを用いることも可能である。図21は、このようなアナログスイッチ71、72を用いて構成した信号処理回路の回路図である。アナログスイッチとしては、たとえば、「CMOS-4066」として一般に市販されている素子を用いればよい。アナログスイッチ71の一端は接地され、他端はノードN1に接続されており、アナログスイッチ72の一端は接地され、他端はノードN2に接続されている。いずれのスイッチも、入力端子T1に与えられる矩形波信号CLKによってスイッチング動作し、矩形波信号CLKが低レベル状態にあるとき（ノードN0に供給される信号が高レベルとなり、各容量素子が充電状態にあるとき）にはOFF状態、高レベル状態にあるとき（ノードN0に供給される信号が低レベルとなり、各容量素子が放電状態にあるとき）にはON状態となる。このアナログスイッチはOF

F 状態のときには、ノード N1, N2 の状態には何ら影響は与えないが、ON 状態のときには、ノード N1, N2 を接地レベルに接続し、容量素子 C1, C2 を強制的に瞬時放電させる機能を有する。

【0051】結局、本発明の要点は、ノード N0 に供給される信号が高レベルとなり、各容量素子が充電状態にあるときには、ノード N1, N2 の状態には影響を与えず、ノード N0 に供給される信号が低レベルとなり、各容量素子が放電状態にあるときには、ノード N1, N2 が低レベル状態となるように容量素子を強制的に放電させる機能をもった手段を、図 8 に示す従来の信号処理回路に付加する点にあり、このような機能をもった手段であれば、オープンコレクタ型のインバータ素子、アナログスイッチ、など、どのような手段を付加するようにしてもかまわない。

#### 【0052】§ 9 その他の実施形態

最後に、本発明のいくつかの変形例を、以下に述べておく。

【0053】(1) これまでの実施形態では、位相差を求めるための論理素子として、排他的論理和素子 (E x -OR ゲート) 52 を用いているが、他の論理素子により位相差を求めることも可能である。たとえば、図 22 に示す信号処理回路は、論理積素子 (AND ゲート) 81 によって両入力信号の位相差を求めるように構成した回路であり、図 23 に示す信号処理回路は、論理和素子 (OR ゲート) 82 によって両入力信号の位相差を求めるように構成した回路である。

【0054】図 24 に、論理積素子 81 を用いた信号処理回路 (図 22) の基本動作を説明するための模擬波形図を示す。この模擬波形図において、T1, N0, N1, N2 の各ノードに現れる波形は、図 9 に示されたものと全く同じであるが、ノード N3 に現れる波形は論理積素子 81 の出力波形となり、出力端子 T2 に現れる電圧 V4 は、この論理積素子 81 の出力信号を平滑化した電圧となる。図示のとおり、ノード N3 に現れる波形における高レベル状態の時間幅は、もとの矩形波信号 CLK の半周期 ( $P1/2$ ) から位相差 W1 を差し引いたものとなるため、出力端子 T2 に得られる電圧 V4 と基準電圧レベル ( $VDD/2$ ) との差が位相差 W1 に対応することになり、位相差 W1 が大きければ大きいほど、出力端子 T2 に得られる電圧 V4 は小さくなるが、最終的に位相差 W1 に対応した信号が得られるという点では、これまで述べてきた排他的論理和素子 52 を用いた実施形態と変わりはない。

【0055】一方、図 25 に、論理和素子 82 を用いた信号処理回路 (図 23) の基本動作を説明するための模擬波形図を示す。この模擬波形図においても、T1, N0, N1, N2 の各ノードに現れる波形は、図 9 に示されたものと全く同じであるが、ノード N3 に現れる波形は論理和素子 82 の出力波形となり、出力端子 T2 に現

れる電圧 V5 は、この論理和素子 82 の出力信号を平滑化した電圧となる。図示のとおり、ノード N3 に現れる波形における高レベル状態の時間幅は、もとの矩形波信号 CLK の半周期 ( $P1/2$ ) に位相差 W1 を加えたものとなるため、出力端子 T2 に得られる電圧 V5 から基準電圧レベル ( $VDD/2$ ) を差し引いた値が位相差 W1 に対応することになるが、最終的に位相差 W1 に対応した信号が得られるという点では、これまで述べてきた排他的論理和素子 52 を用いた実施形態と変わりはない。

【0056】このように、本発明では、両信号の位相差を示す論理信号を得ることができる論理素子であれば、どのような論理素子を用いてもかまわないが、最も効率良い位相差検出を行う上では、排他的論理和素子を用いるのが好ましい。

【0057】(2) これまでの実施形態では、入力端子 T1 に与えた矩形波信号 CLK をインバータ素子 51 で反転させ、ノード N0 に供給される反転信号を各抵抗素子や容量素子に供給していたが、インバータ素子 51 は必ずしも用いる必要はない。たとえば、図 14 に示す信号処理回路の代わりに、図 26 に示すような信号処理回路を用いることも可能である。この図 26 の回路では、入力端子 T1 に与えた矩形波信号 CLK がそのまま各抵抗素子や容量素子に供給されることになる。ただ、この場合は、矩形波信号 CLK が低レベル状態のときに、ノード N1, N2 を接地状態にする必要があるので、論理反転のためのインバータ素子 91, 92 を、オープンコレクタ型のインバータ素子 53, 54 の前段に挿入している。

【0058】なお、実用上は、図 26 に示す回路の代わりに図 27 に示す回路を用いるのが好ましい。図 27 の回路は、ノード N0 の前段にバッファ回路 93 を挿入したものである。ノード N0 の後段には、抵抗素子および容量素子からなるアナログ回路が接続されている。バッファ回路 93 は、このアナログ回路を駆動するための十分な電力を供給するための機能を果たす。

【0059】要するに、本発明では、ノード N0 に所定の周期信号を供給するようにし、この周期信号が高レベル状態にあるとき (別言すれば、容量素子が充電状態にあるとき) には、ノード N1, N2 の状態には影響を与えず、この周期信号が低レベル状態にあるとき (別言すれば、容量素子が放電状態にあるとき) には、ノード N1, N2 が低レベル状態となるように各容量素子を強制的に放電させるような制御が行われるようにすればよい。

【0060】(3) これまでの実施形態では、ノード N3 に得られる論理信号 (位相差の情報をもった信号) を、抵抗素子 R s および容量素子 C s からなる平滑回路を通して平滑化し、所定レベルの電圧信号を得るようにしていた。別言すれば、ノード N3 に得られる論理信号の高レベル状態の時間幅を、平滑回路によってアナログ

検出値として取り出していた。しかしながら、このノードN3に得られる論理信号の時間幅を定量的に検出するためには、必ずしも平滑回路を用いる必要はない。ノードN3に得られる論理信号は、位相差の情報をPWM (Pulse Width Modulation) 法によって変調した信号であり、他にも種々の方法で、この時間幅を定量的に検出することが可能である。たとえば、この論理信号の周波数よりも十分に高い周波数をもったパルスを用いて、この論理信号の時間幅をカウントするような方法を用いれば、この信号処理回路の最終出力をデジタル検出値として得ることが可能である。

#### 【0061】

【発明の効果】以上のとおり、本発明によれば、静電容量の変化を利用したセンサ用の信号処理回路の感度を更に向上させることが可能になる。

#### 【図面の簡単な説明】

【図1】本発明の適用対象となる一次元加速度センサの構造を示す側断面図である。

【図2】図1に示す加速度センサに、加速度に基づく力Fが作用したときの状態を示す側断面図である。

【図3】本発明の適用対象となる三次元加速度センサの構造を示す側断面図である。

【図4】図3に示すセンサの固定基板10の下面図である。図4の固定基板10をX軸に沿って切断した断面が図3に示されている。

【図5】図3に示すセンサの可撓基板20の上面図である。図5の可撓基板20をX軸に沿って切断した断面が図3に示されている。

【図6】図3に示すセンサの作用点PにX軸方向の力F<sub>x</sub>が作用したときの、センサの撓み状態を示す側断面図である。

【図7】図3に示すセンサの作用点PにZ軸方向の力F<sub>z</sub>が作用したときの、センサの撓み状態を示す側断面図である。

【図8】図1～図7に示すセンサに用いる従来の信号処理回路を示す回路図である。

【図9】図8に示す信号処理回路の基本動作を説明するための模擬波形図である。

【図10】図8に示す信号処理回路において、抵抗素子R1、R2の抵抗値を大きくした場合の動作を説明するための模擬波形図である。

【図11】図8に示す信号処理回路において、入力端子T1に与える矩形波信号CLKの周波数を高くした場合の動作を説明するための模擬波形図である。

【図12】図8に示す信号処理回路におけるノードN1、N2に現れる実際の信号波形を示す波形図である。

【図13】図8に示す信号処理回路において、入力端子T1に与える矩形波信号CLKの周波数を高くした場合に、ノードN1、N2に現れる実際の信号波形を示す波形図である。

【図14】本発明の一実施形態に係る信号処理回路の回路図である。

【図15】図14に示す信号処理回路におけるノードN1、N2に現れる実際の信号波形を示す波形図である。

【図16】図14に示す信号処理回路において、入力端子T1に与える矩形波信号CLKの周波数を高くした場合に、ノードN1、N2に現れる実際の信号波形を示す波形図である。

【図17】図14に示す信号処理回路において、入力端子T1に与える矩形波信号CLKのデューティ比を下げた場合に、ノードN1、N2に現れる実際の信号波形を示す波形図である。

【図18】図14に示す信号処理回路に、矩形波信号CLKの周波数およびデューティ比を調節する機能を付加した回路を示す回路図である。

【図19】図14に示す信号処理回路に、オフセット用容量素子C0を付加した回路を示す回路図である。

【図20】単一の容量素子の容量値を検出する本発明の別な一実施形態に係る信号処理回路の回路図である。

【図21】図14に示す信号処理回路におけるオープンコレクタ型のインバータ素子53、54の代わりに、CMOSアナログスイッチ71、72を用いた実施形態に係る信号処理回路の回路図である。

【図22】図14に示す信号処理回路における論理素子を、論理積素子(ANDゲート)81に置き換えた回路を示す回路図である。

【図23】図14に示す信号処理回路における論理素子を、論理和素子(ORゲート)82に置き換えた回路を示す回路図である。

【図24】図22に示す信号処理回路の基本動作を説明するための模擬波形図である。

【図25】図23に示す信号処理回路の基本動作を説明するための模擬波形図である。

【図26】図14に示す信号処理回路の変形例を示す回路図である。

【図27】図26に示す信号処理回路を更に実用的にした回路の回路図である。

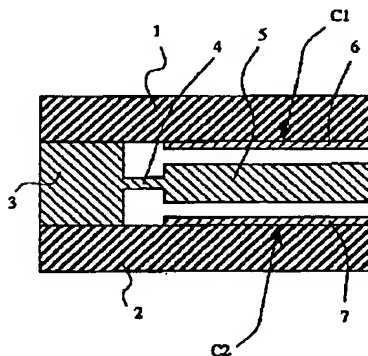
#### 【符号の説明】

- 1…上部固定基板
- 2…下部固定基板
- 3…中間体
- 4…弾性支持体
- 5…作用体
- 6…上部電極
- 7…下部電極
- 10…固定基板
- 11…固定電極
- 20…可撓基板
- 21～25…変位電極
- 30…作用体

23

40…装置筐体  
 51…インバータ素子  
 52…排他的論理和素子（E<sub>x</sub>-ORゲート）  
 53, 54…オープンコレクタ型のインバータ素子  
 61…クロック発生器  
 62…デューティ比調節器  
 71, 72…CMOSアナログスイッチ  
 81…論理積素子（ANDゲート）  
 82…論理和素子（ORゲート）  
 91, 92…インバータ素子  
 93…バッファ素子  
 A1～A4…信号波形の振幅  
 C, C1～C5…センサを構成する容量素子  
 C0…オフセット用容量素子  
 Cs…平滑回路用容量素子

【図1】

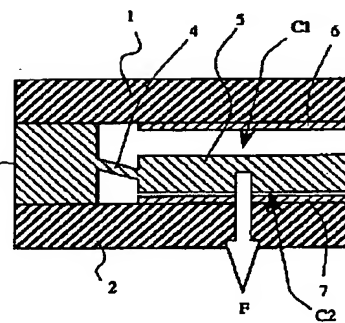


$\frac{d}{d}$  (容量値C1)  
 $\frac{d}{d}$  (容量値C2)

24

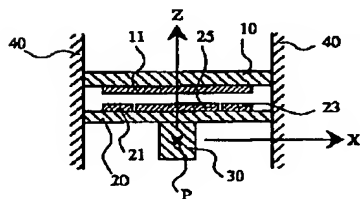
CLK…矩形波信号（クロック信号）  
 F, F<sub>x</sub>, F<sub>z</sub>…加速度に基づいて作用する力  
 h1, h2…閾値電圧レベル  
 N0～N3…回路のノード  
 P…作用点  
 P1～P3…矩形波信号の周期  
 R, R1, R2…抵抗素子  
 Rs…平滑回路用抵抗素子  
 T1…入力端子  
 T2…出力端子  
 Δt1, Δt2…遅延時間  
 V1～V5…出力電圧  
 VDD…電源電圧  
 W1, W2…パルスの幅

【図2】

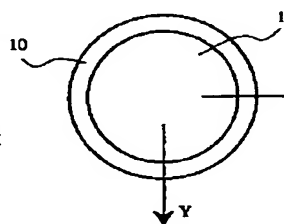


$\frac{d+\Delta d}{d}$  (容量値C1は減少)  
 $\frac{d-\Delta d}{d}$  (容量値C2は増加)

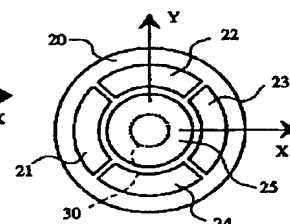
【図3】



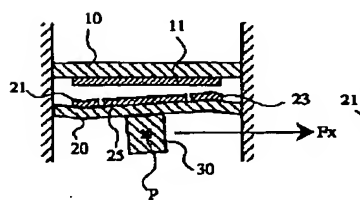
【図4】



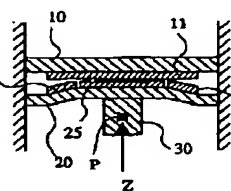
【図5】



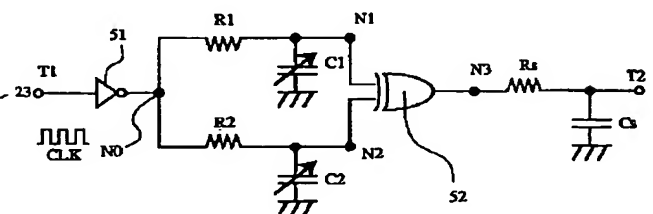
【図6】



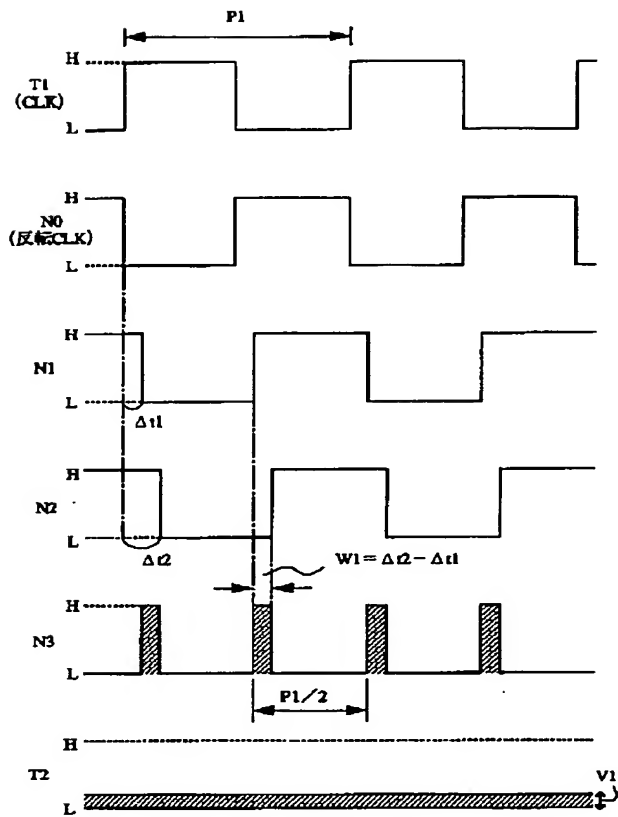
【図7】



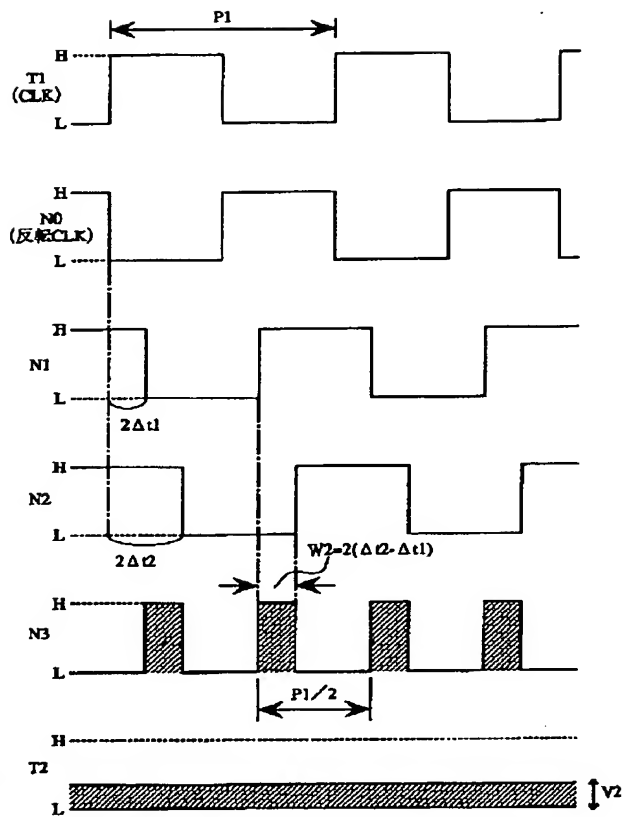
【図8】



【図9】



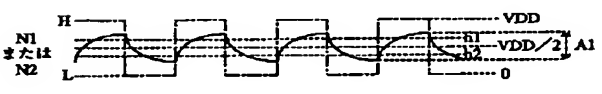
【図10】



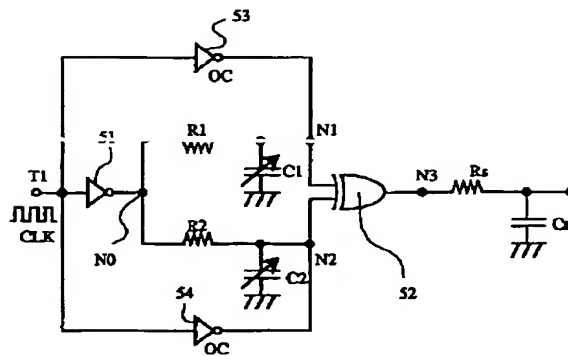
【図12】



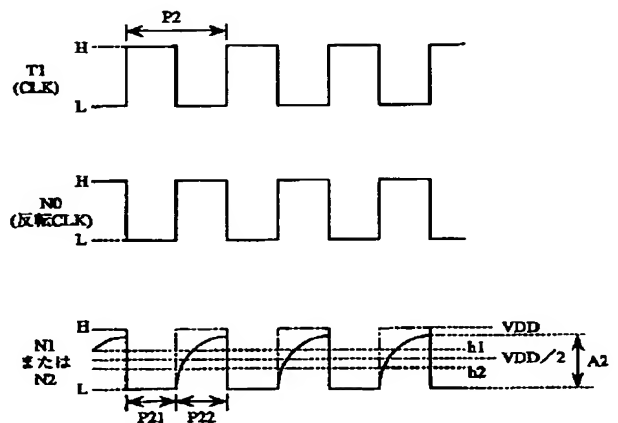
【図13】



【図14】

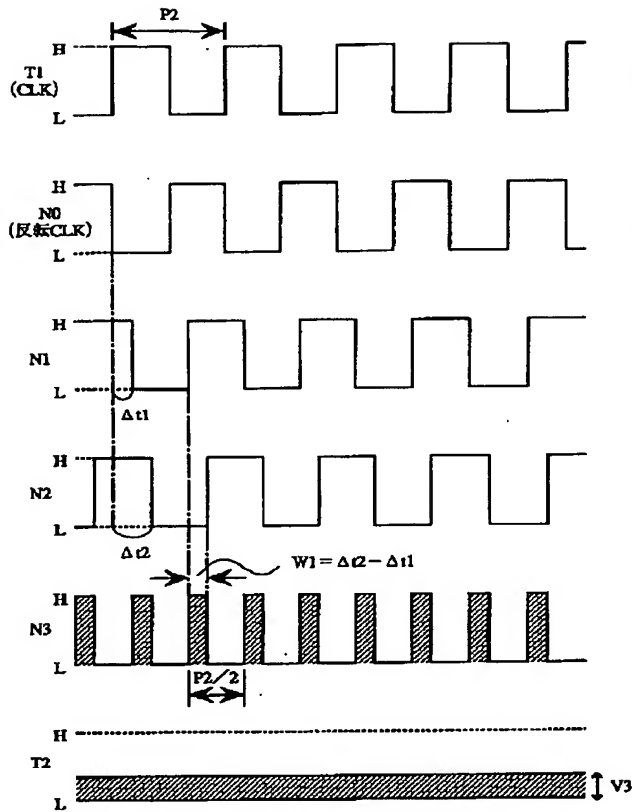


【図15】

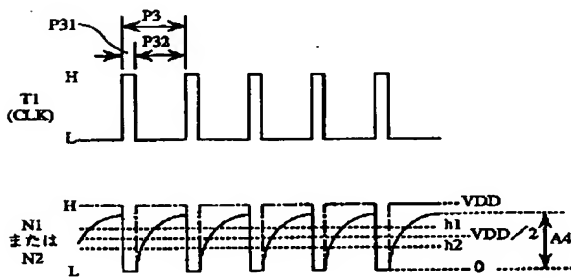




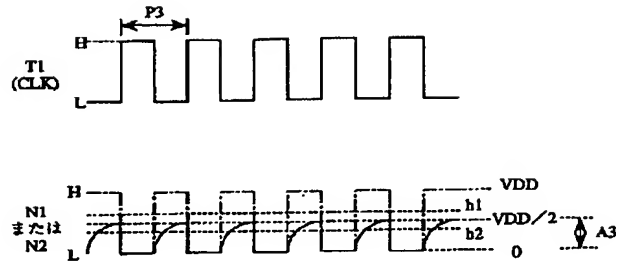
【図11】



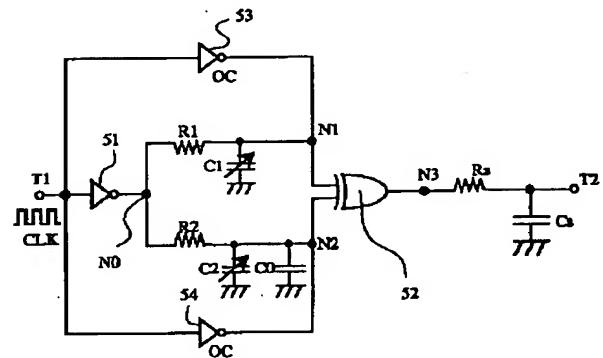
【図17】



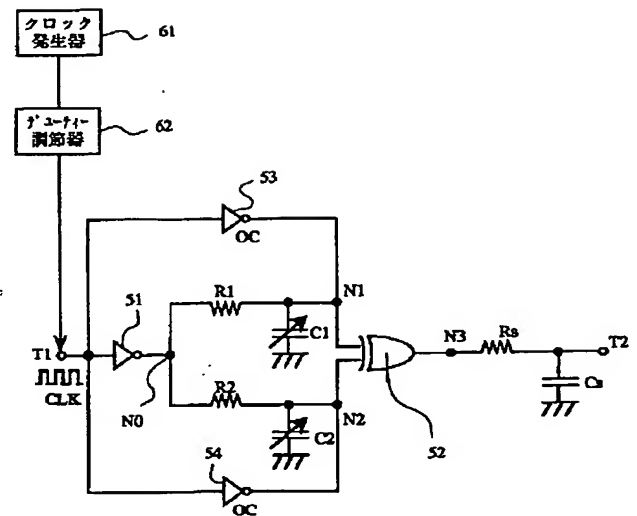
【図16】



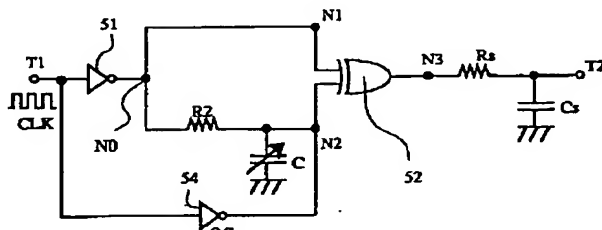
【図19】



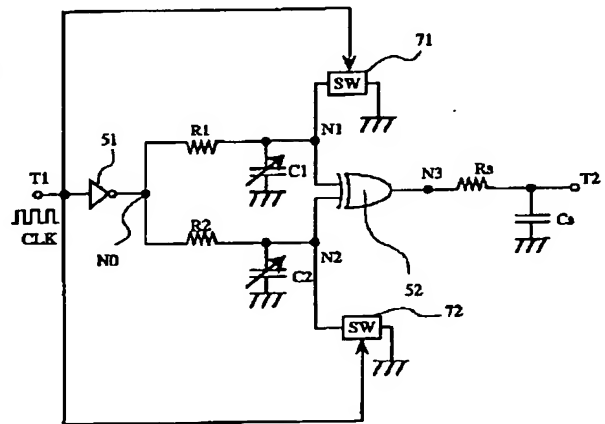
【図18】



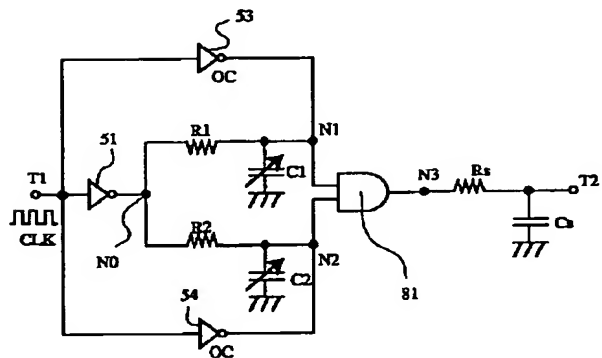
【図20】



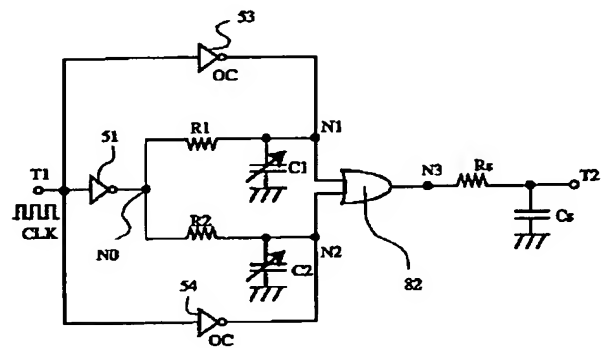
【図21】



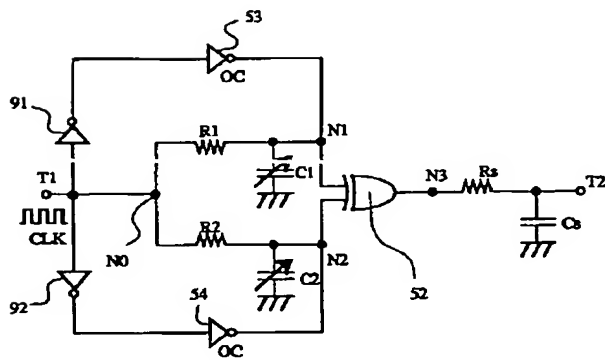
【図22】



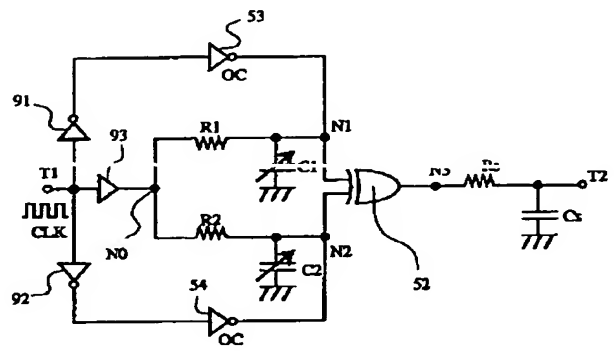
【図23】



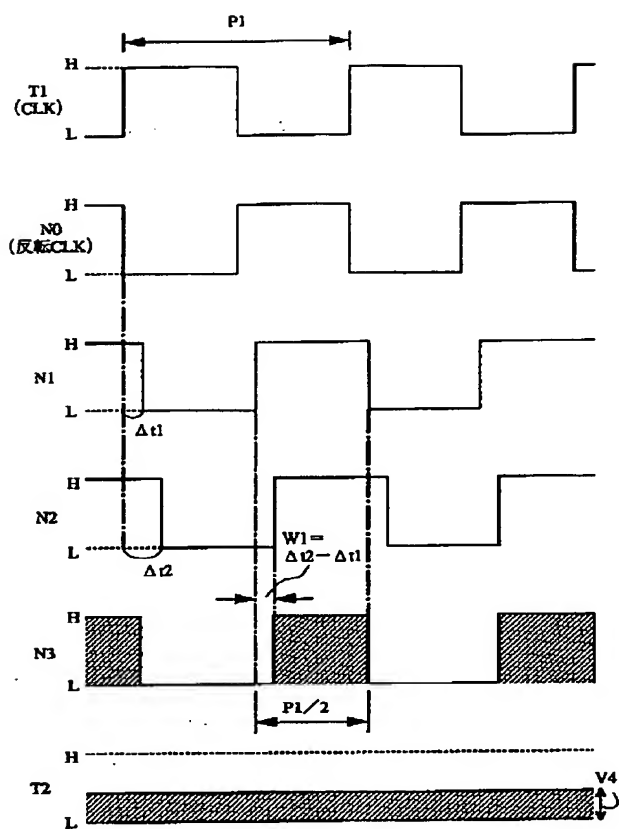
【図26】



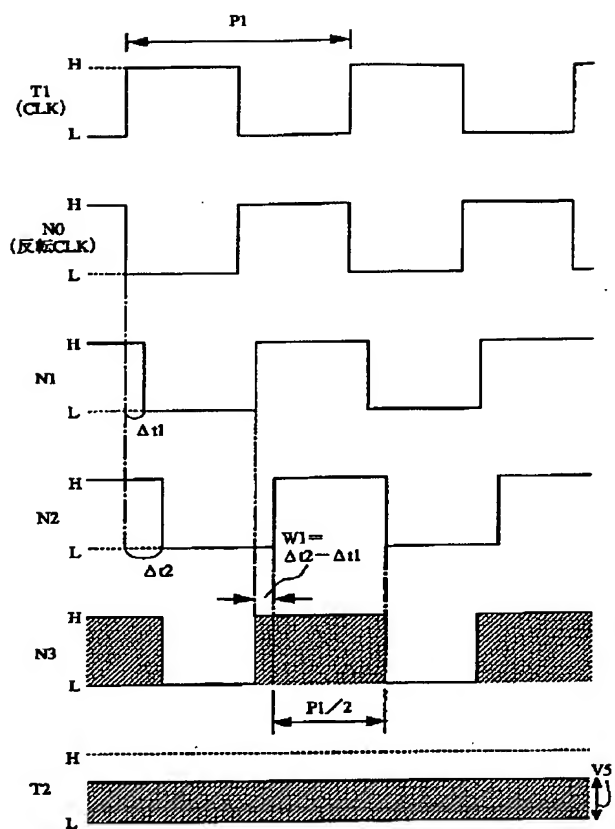
【図27】



【図24】



【図25】



This Page Blank (uspto)